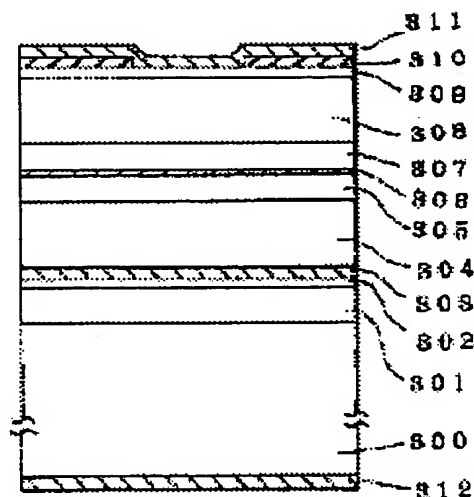


CRYSTAL GROWTH**Publication number:** JP8162481**Publication date:** 1996-06-21**Inventor:** KURODA NAOTAKA**Applicant:** NIPPON ELECTRIC CO**Classification:**

- International: C30B23/08; C30B29/48; H01L21/20; H01L21/203; H01L21/363;
H01S5/00; C30B23/08; C30B29/10; H01L21/02; H01S5/00;
(IPC1-7): H01L21/363; C30B23/08; C30B29/48; H01L21/20;
H01L21/203; H01S3/18

- European:**Application number:** JP19940321176 19941201**Priority number(s):** JP19940321176 19941201[Report a data error here](#)**Abstract of JP8162481**

PURPOSE: To realize the prolongation of the life of a light-emitting element by a method wherein a stocking fault is prevented in a group II-VI semiconductor layer epitaxially grown on a semiconductor substrate. **CONSTITUTION:** An N-type GaAs buffer layer 301 is formed on a (100) Si-doped GaAs substrate 300 positioned off by 5 deg. in the B orientation (111) and thereafter, an undoped ZnSe buffer layer 302 is formed and an N-type ZnS_{0.06}Se_{0.04} buffer layer 303 is formed thereon in the state of a step flow mode. Subsequently an N-type ZnMgSSe clad layer 304, an N-type ZnSe light guide layer 305, an undoped ZnCdSe active layer 306, a P-type ZnSSe light guide layer 307, a P-type ZnMgSSe clad layer 308 and a P-type contact layer 309 are formed on the layer 303.

Data supplied from the [esp@cenet](#) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-162481

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/363		9545-4M		
C 3 0 B 23/08	M			
29/48		7202-4G		
H 0 1 L 21/20				
21/203	M	9545-4M		
審査請求 有 請求項の数 3 F D (全 8 頁) 最終頁に続く				

(21) 出願番号 特願平6-321176

(22) 出願日 平成6年(1994)12月1日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 黒田 尚孝

東京都港区芝五丁目7番1号 日本電気株式会社内

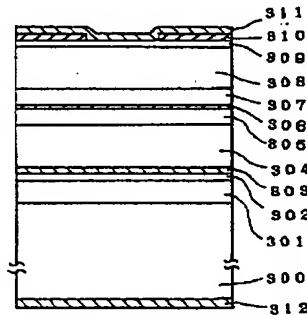
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 結晶成長方法

(57) 【要約】

【目的】 半導体基板上にエピタキシャル成長されるII-VI族半導体層に積層欠陥が導入されるのを防止して、発光素子の長寿命化を実現する。

【構成】 [111] B方向に5° オフしたSiドープGaAs(100)基板300上にn型GaAsバッファ層301を形成した後、アンドープZnSeバッファ層302を形成し、その上に本発明に従って、ステップ・フロー・モードの状態でn型ZnS_{0.06}Se_{0.94}バッファ層303を形成する。続いて、その上にn型ZnMgSSeクラッド層304、n型ZnSSe光ガイド層305、アンドープZnCdSe活性層306、p型ZnSSe光ガイド層307、p型ZnMgSSeクラッド層308、p型コンタクト層309を形成する。



300: [111] B方向へ5° オフしたSiドープGaAs(100)基板

301: n型GaAsバッファ層

302: アンドープZnSeバッファ層

303: n型ZnS_{0.06}Se_{0.94}バッファ層

304: n型ZnMgSSeクラッド層

305: n型ZnSSe光ガイド層

306: アンドープZnCdSe活性層

307: p型ZnSSe光ガイド層

308: p型ZnMgSSeクラッド層

309: p型コンタクト層

310: 絶縁膜

311: p型電極

312: n型電極

【特許請求の範囲】

【請求項1】 半導体基板上にII-VI族化合物半導体層を成長させる結晶成長方法において、

前記半導体基板として所定の方向に所定の角度のオフオリエンテーションを有する(100)面を用いることにより、

少なくとも基板上に成長を始めた初期の段階の成長層においては成長に寄与するII族及びVI族原子が基板のキンク位置に優先的に取り込まれて2次元成長するいわゆるステップ・フロー・モードでエピタキシャル成長させることを特徴とするII-VI族化合物半導体の結晶成長方法。

【請求項2】 前記半導体基板として[111]A方向または[111]B方向に所定の角度のオフオリエンテーションを有する(100)面を用い、少なくとも基板上に成長を始める初期の段階の一部の層においては基板が[111]A方向にオフオリエンテーションしているときにはII族原子リッチの成長条件で成長させ、[111]B方向にオフオリエンテーションしているときにはVI族原子リッチの成長条件で成長させることを特徴とする請求項1記載の結晶成長方法。

【請求項3】 前記半導体基板上に、第1のII-VI族化合物半導体層を格子歪により成長層中へ転位が導入される臨界膜厚以下の厚さまでステップ・フロー・モードで成長させる工程と、その上に基板と格子整合する半導体材料によりステップ・フロー・モードで第2のII-VI族化合物半導体層を形成する工程とを含んでいることを特徴とする請求項1記載の結晶成長方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、結晶成長方法に関し、特にII-VI族化合物半導体の結晶成長方法に関するものである。

【0002】

【従来の技術】 ワイドギャップII-VI族化合物半導体は緑青色半導体レーザや発光ダイオード用材料として広く研究が行われている。II-VI族化合物半導体は多くはGaAs(100)基板を用いて、GaAsバッファ層上あるいは直接基板上に分子線エピタキシャル成長法(MBE法)や有機金属気相成長法(MOVPE法)などによりエピタキシャル成長されている。

【0003】 さらに、現在までにGaAs基板上にMBE法で成長させたII-VI族化合物半導体層を用いた半導体レーザの室温でのCW発振が、エレクトロニクス・レターズ誌第29巻16号、1993年、1488~1489ページ、エレクトロニクス・レターズ誌 第29巻25号、1993年、2192~2193ページ、及びジャパニーズ・ジャーナル・オブ・アブライド・フィジックス誌 第33巻7A号、1994年、938~940ページに報告されている。

【0004】

【発明が解決しようとする課題】 従来、例えばGaAs(100)面上にZnSe系のII-VI族化合物半導体をエピタキシャル成長させる場合、直接基板上にあるいはGaAsバッファ層を成長させた後に、ZnSeやZnSSe、ZnMgSSeなどのII-VI族化合物半導体をMBE法等により成長させていた。

【0005】 この場合、ZnSeなどのII-VI族化合物半導体成長層にはGaAs基板との界面から多数の格子欠陥(貫通転位や積層欠陥)が導入されていることが知られており、欠陥密度としては 10^5 cm^{-2} 以上の値が報告されている。この欠陥の多くは積層欠陥で占められるが、この積層欠陥は、閃亜鉛鉱型結晶中への部分的なウルツ鉱型構造の混在と考えることができる。

【0006】 II-VI族化合物半導体はイオン結合性が強く殆どの材料において閃亜鉛鉱型構造とウルツ鉱型構造の両方を取り得ることが知られている。したがって、閃亜鉛鉱型構造からウルツ鉱型構造への変換が容易に起こり、積層欠陥が導入されやすい。特に、例えばIII-V族化合物半導体上にII-VI族化合物半導体成長させる場合には、その界面において積層欠陥が発生しやすく、この場合その上のエピタキシャル成長層にもその欠陥が貫通してしまう。

【0007】 この格子欠陥を多く含むII-VI族化合物半導体成長層を用いて作製した半導体レーザや発光ダイオードにおいては、この格子欠陥が非発光再結合中心となり、さらに通電中に増殖するため、発光効率が低下して急速に素子寿命が尽きてしまう。例えば、現在実現している半導体レーザでは、室温連続発振においては9分以下の寿命と非常に短いものとなっている。

【0008】 本発明はこの点に鑑みてなされたものであって、その目的とするところは、半導体基板上にII-VI族化合物半導体を成長させる場合に問題となる積層欠陥を発生させない半導体結晶の成長方法を提供することであり、このことにより、半導体レーザ、発光ダイオード等の半導体発光素子の長寿命化を実現しようとするものである。

【0009】

【課題を解決するための手段】 本発明による結晶成長方法は、半導体基板上にII-VI族化合物半導体層を成長させるものであって、前記半導体基板として所定の方向に所定の角度のオフオリエンテーションを有する(100)面を用いることにより、少なくとも基板上に成長を始める初期の段階の成長層においては成長に寄与するII族及びVI族原子が基板のキンク位置に優先的に取り込まれて2次元成長するステップ・フロー・モードでエピタキシャル成長させる工程を含んでいることを特徴とする。

【0010】

【作用】 II-VI族化合物半導体は、イオン結合性が強

く、積層欠陥を発生させるのに必要となるエネルギーを示す積層欠陥エネルギーはイオン結合性の大きさに依存して小さくなるため、エピタキシャル成長されたII-VI族化合物半導体においては容易に積層欠陥が導入されてしまう。

【0011】そこで、本発明の結晶成長方法においては、このような積層欠陥の発生を抑制するために以下のような成長方法を用いる。なお、ここでは一例としてMBE法での成長条件を示す。すなわち、半導体基板として例えばGaAs(100)面を用いる場合、微傾斜基板(例えば[111]B方向へ5°オフした基板)を用いる。このような基板を用いて、まずGaAsバッファ層を成長させ、次に格子歪により成長層中に転位が導入される臨界膜厚以下のZnSeバッファ層をステップ・フロー・モードで成長させる。[111]B方向へのオフオリエンテーションを有するGaAs(100)面上へのZnSeの成長では基板温度300~400℃程度でVI/II比を1より大きく、即ち、Seリッチの条件下でステップ・フロー成長が実現される。

【0012】その上にGaAsに格子整合するZnSSeを成長させるが、よりステップ・フロー・モードでの成長が起こりやすくするために基板上のZnSe表面においてZn、S、Se原子が十分にマイグレートするような条件で成長させるのがよい。例えば成長温度をZnSeの標準的なMBE成長温度である250~350℃よりも高めに(例えば400℃)設定し、かつVI/II比を1よりやや大きく、即ちVI族リッチにする。

【0013】このような条件下では成長に寄与するZn、S、Se原子が十分にマイグレートし、微傾斜基板に存在するキンク位置に優先的に取り込まれるステップ・フロー成長が起こり易くなる。このような成長条件が満足されればキンク位置に取り込まれるII族あるいはVI族原子の位置はキンク位置における基板あるいは成長層表面原子の未結合手の方向性から、一義的に決定され、基板であるGaAsの結晶構造である閃亜鉛鉱型結晶構造と同じ結晶構造をとりながらエピタキシャル成長することになり、理想的にはウルツ鉱型結晶構造への転換は起こらないことになる。そのため積層欠陥が消滅するかまたは大幅に減少する。

【0014】基板として[111]A方向へ例えば5°のオフオリエンテーションを有する基板を用いてもよいが、この場合には請求項3の第1のII-VI族化合物半導体層の成長をVI/II比を1よりも小さく、即ちII族リッチの条件でエピタキシャル成長を行えば第1のII-VI族化合物半導体層およびその上の第2のII-VI族化合物半導体層の成長はステップ・フロー成長が実現されて同様の効果が得られる。

【0015】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図1は、本発明の第1の実施例により形成されたII-VI族化合物半導体成長層を有する結晶成長基板の断面図である。本実施例では、基板として、

[111]B方向へ5°オフしたSiドープGaAs(100)基板100を用いた。また、成長方法として分子線エピタキシー(MBE)法を用いた。

【0016】まず、アンドープGaAsバッファ層101を第1の成長チャンバ中で成長温度650℃で膜厚0.5μmに成長させた後、超高真空中を搬送し第2の成長チャンバ中で成長温度300℃に設定する。そして、Znを5秒間照射した後、アンドープZnSeバッファ層102をVI族リッチの条件でステップ・フロー・モードで200Å積層する。続いて、基板温度を400℃に設定し、アンドープZnS_{0.06}Se_{0.94}バッファ層103を0.5μmステップ・フロー・モードで成長させる。

【0017】次に、成長温度を300℃に設定し、GaAsに格子整合するアンドープZnMgSSe層104を1.5μm、アンドープZnS_{0.06}Se_{0.94}層105を0.25μm、アンドープZn_{0.8}Cd_{0.2}Se単一量子井戸層106を70Å、アンドープZnS_{0.06}Se_{0.94}層107を0.25μm、アンドープZnMgSSe層104と同一の組成のアンドープZnMgSSe層108を1μm、アンドープZnSe層109を0.1μm順次成長させた。

【0018】この試料を透過電子顕微鏡(TEM)で観察したところ、断面TEM像では基板と成長層との界面付近には積層欠陥は観察されず、良好な結晶が得られていることが判明した。

【0019】【第2の実施例】図2は、本発明の第2の実施例により形成されたII-VI族化合物半導体成長層を有する結晶成長基板の断面図である。本実施例では、基板として、[111]B方向へ4°オフしたSドープInP(100)基板200を用いた。また、成長方法としてMBE法を用いた。

【0020】まず、アンドープInPバッファ層201を第1の成長チャンバ中で成長温度480℃で膜厚0.5μmに成長させた後、超高真空中を搬送し第2の成長チャンバ中で成長温度300℃に設定する。そして、アンドープMgSeバッファ層202をVI族リッチの条件でステップ・フロー・モードで200Å積層する。続いて、基板温度を350℃に設定し、InP基板に格子整合するアンドープZnCdSeバッファ層203を0.5μmステップフロー・モードで成長させる。

【0021】次に、基板温度を300℃に設定し、InPに格子整合するアンドープZnMgSeTe層204を1.5μm、InPに格子整合しかつアンドープZnMgSeTe層204よりもバンドギャップの小さいアンドープZnMgSeTe単一量子井戸層205を100Å、アンドープZnMgSeTe層204と同一組成

5

のアンドープZnMgSeTe層206を1.5 μ m順次成長させる。

【0022】この試料をTEMで観察したところ、断面TEM像では基板と成長層との界面付近には積層欠陥は観察されず、良好な結晶が得られていることが判明した。

【0023】〔第3の実施例〕図3は、本発明の第3の実施例を説明するための緑青色半導体レーザの断面図である。基板として、[111]B方向へ5°オフしたSiドープGaAs(100)基板300を用いた。まず、この基板300上にSiを $1 \times 10^{18} \text{cm}^{-3}$ ドープしたn型GaAsバッファ層301を0.5 μ m成長させ、その後、基板温度を300℃としてアンドープZnSeバッファ層302をVI族リッチでステップ・フロー・モードで200Å積層する。続いて、基板温度を400℃に設定し、Clを $5 \times 10^{17} \text{cm}^{-3}$ ドープしたn型ZnS_{0.06}Se_{0.94}バッファ層303を0.15 μ mステップ・フロー・モードで成長させる。

【0024】その後、基板温度を300℃に降温し、以下の各層を分子線エピタキシー法(MBE法)よりエピタキシャル成長させる。

n型ZnMgSSeクラッド層304:

半導体材料: Zn_{0.91}Mg_{0.09}S_{0.16}Se_{0.84}

ドーパントCl濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: 1.5 μ m

n型ZnSSe光ガイド層305:

半導体材料: ZnS_{0.06}Se_{0.94}

ドーパントCl濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: 0.125 μ m

アンドープZnCdSe活性層306:

半導体材料: Zn_{0.8}Cd_{0.2}Se

ドーパント濃度: アンドープ、層厚: 70Å

p型ZnSSe光ガイド層307:

半導体材料: ZnS_{0.06}Se_{0.94}

ドーパントN濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: 0.125 μ m

p型ZnMgSSeクラッド層308:

半導体材料: Zn_{0.91}Mg_{0.09}S_{0.16}Se_{0.84}

ドーパントN濃度: $2 \times 10^{17} \text{cm}^{-3}$ 、層厚: 1.5 μ m

p型コンタクト層309:

①半導体材料: ZnSe

ドーパントN濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: 0.1 μ m

②半導体材料: ZnTe/ZnSe超格子層(ZnSe: 18Å/ZnTe: 2Å, ZnSe: 17Å/ZnTe: 3Å, ZnSe: 16Å/ZnTe: 4Å, ... 計17層)

ドーパントN濃度: $5 \times 10^{17} \text{cm}^{-3}$ (ZnSe)

: $1 \times 10^{19} \text{cm}^{-3}$ (ZnTe)

③半導体材料: ZnTe

ドーパントN濃度: $1 \times 10^{19} \text{cm}^{-3}$ 、層厚: 300Å

6

【0025】この上にシリコン窒化膜等の絶縁膜310を堆積し、ストライプ状に窓を開口し、この窓を通してp型コンタクト層309にオーミック接触するp側電極311を形成する。図示された状態に絶縁膜310、電極311を形成するのに代え、p型コンタクト層309をストライプ状にパターンニングしその両側に絶縁膜を形成してp型コンタクト層を埋め込み、その上に第1の電極を形成するようにしてもよい。また、基板裏面には、基板300にオーミック接触するn側電極312を形成する。

【0026】このように構成された半導体レーザにおいて、電極311、312間に順方向に電圧を印加したところ、波長508nmで室温連続発振が行われた。また、その寿命は従来例に比較して大幅に改善された。

【0027】〔第4の実施例〕基板として、[111]B方向へ10°オフしたSiドープGaAs(100)基板400を用いる。この基板上にSiを $1 \times 10^{18} \text{cm}^{-3}$ ドープしたn型のGaAsバッファ層401を0.5 μ m成長させ、その後、基板温度を300℃としてアンドープZnSeバッファ層402をVI族リッチでステップ・フロー・モードで200Å積層する。続いて、基板温度を400℃に設定し、Clを $5 \times 10^{17} \text{cm}^{-3}$ ドープしたn型ZnS_{0.06}Se_{0.94}バッファ層403を0.15 μ mステップ・フロー・モードで成長させる。

【0028】その後、基板温度を300℃に降温し、以下の各層をMBE法よりエピタキシャル成長させる。

n型ZnCdSSeクラッド層404:

半導体材料: GaAsと格子整合するZn_{0.64}Cd_{0.36}S_{0.62}Se_{0.38}

ドーパントCl濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: 1.5 μ m

n型ZnSSe電子バリア層405:

半導体材料: GaAsと格子整合するZnS_{0.06}Se_{0.94}

ドーパントCl濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: 0.096 μ m

n型ZnCdSSe電子蓄積層406:

半導体材料: GaAsと格子整合するZn_{0.64}Cd_{0.36}S_{0.62}Se_{0.38}

ドーパントCl濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: 0.05 μ m

アンドープZnCdSe活性層407:

半導体材料: Zn_{0.8}Cd_{0.2}Se

アンドープ、層厚: 70Å

p型ZnSSeホール蓄積層408:

半導体材料: GaAsと格子整合するZnS_{0.06}Se_{0.94}

ドーパントN濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: 0.144 μ m

p型ZnCdSSeクラッド層409:

半導体材料: $\text{Zn}_{0.64}\text{Cd}_{0.36}\text{Se}_{0.62}\text{S}_{0.38}$
 ドーパントN濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: $1.5 \mu\text{m}$
 p型コンタクト層410:

①半導体材料: ZnSe

ドーパントN濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: $0.1 \mu\text{m}$

②半導体材料: ZnTe/ZnSe 超格子層 ($\text{ZnSe}: 18 \text{\AA}/\text{ZnTe}: 2 \text{\AA}$, $\text{ZnSe}: 17 \text{\AA}/\text{ZnTe}: 3 \text{\AA}$, $\text{ZnSe}: 16 \text{\AA}/\text{ZnTe}: 4 \text{\AA}$, ... 計17層)

ドーパントN濃度: $5 \times 10^{17} \text{cm}^{-3}$ (ZnSe)
 $1 \times 10^{19} \text{cm}^{-3}$ (ZnTe)

③半導体材料: ZnTe

ドーパントN濃度: $1 \times 10^{19} \text{cm}^{-3}$ 、層厚: 300\AA

【0029】この上にシリコン窒化膜等の絶縁膜411を堆積し、ストライプ状に窓を開口し、この窓を通してp型コンタクト層410にオーミック接触する第1の電極311を形成する。また、基板裏面には、半導体基板400にオーミックに接触する第2の電極413を形成する。

【0030】このように構成された半導体レーザにおいて、電極412、413間に順方向に電圧を印加したところ、波長 510nm で室温連続発振が行われた。また、その寿命は第3の実施例と同様に従来例に比較して大幅に改善された。

【0031】[第5の実施例] 基板として、[111]B方向へ 4° オフした Sn ドープ InP (100)基板500を用いる。この基板上に Si を $1 \times 10^{18} \text{cm}^{-3}$ ドープしたn型の InP バッファ層501を $0.5 \mu\text{m}$ 成長させ、その後、基板温度 300°C でアンドープ MgSe バッファ層502をVI族リッチの条件でステップ・フロー・モードで 200\AA 積層する。続いて、基板温度を 350°C に設定し、 Cl を $5 \times 10^{17} \text{cm}^{-3}$ ドープした InP に格子整合するn型 ZnCdSe バッファ層503を $0.15 \mu\text{m}$ ステップ・フロー・モードで成長させる。その後、基板温度を 300°C に降温し、以下の各層をMBE法でエピタキシャル成長させる。

【0032】n型 ZnMgSeTe クラッド層504:
 半導体材料: InP に格子整合する ZnMgSeTe
 ドーパント Cl 濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: $1.5 \mu\text{m}$

アンドープ ZnMgSeTe 活性層505:

半導体材料: InP に格子整合する ZnMgSeTe
 (バンドギャップがp型、n型クラッド層よりも小さくなるように組成を決める)

層厚: 100\AA

p型 ZnMgSeTe クラッド層506:

半導体材料: InP に格子整合する ZnMgSeTe
 (n型クラッド層と同じ組成)

ドーパントN濃度: $5 \times 10^{17} \text{cm}^{-3}$ 、層厚: $1.5 \mu\text{m}$
 p型 ZnMgSeTe コンタクト層507:

半導体材料: InP に格子整合する ZnMgSeTe
 ドーパントN濃度: $1 \times 10^{18} \text{cm}^{-3}$ 、層厚: $0.1 \mu\text{m}$

【0033】この上にシリコン窒化膜等の絶縁膜508を堆積し、ストライプ状に窓を開口し、この窓を通してp型コンタクト層507にオーミック接触するp側電極509を形成する。また、基板裏面には、半導体基板500にオーミック接触するn側電極510を形成する。

【0034】このように構成された半導体レーザにおいて、電極509、510間に順方向に電圧を印加したところ、波長 570nm で室温連続発振が行われた。また、その寿命は第3、第4の実施例と同様に従来例に比較して大幅に改善された。

【0035】[実施例の変更] 以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、特許請求の範囲に記載された範囲内において適宜の変更が可能である。例えば、上記各実施例では、n型バッファ層103、203、303、403、503までをステップ・フロー・モードによる成長としたが、全ての層をステップ・フロー・モードで成長させるようにすることもできる。また、上記各実施例では、基板温度を 300°C 乃至 400°C としてステップ・フロー成長を行ったが、ステップ・フロー・モードが満足されればそれ以上あるいはそれ以下の基板温度でもよい。

【0036】上記実施例においては、成長法としてMBE法を用いたが、ガスソース分子線エピタキシー法(ガスソースMBE法)、有機金属気相エピタキシー法(MOVPE法)等によりエピタキシャル成長を行っても勿論よい。また、上記の実施例においては、基板として GaAs 、 InP を用いたが、 GaP など他のIII-V族化合物半導体や Si 、 Ge などIV族元素の基板を用いてもよく、さらに、 ZnSe 基板などのII-VI族化合物半導体基板を用いることもできる。II-VI族化合物半導体基板を用いた場合には、II-VI族化合物半導体以外の材料からなる基板を用いるよりも格子欠陥密度は低減できるため半導体発光素子の製造には好ましい。

【0037】上記第3～第5の実施例においては、n型ドーパントとして Cl 、p型ドーパントとして N を用いたが、n型ドーパントとしては、 Al 、 Ga 、 In 、 Br 、p型ドーパントとしては、 As 、 P 、 Li など他のドーパントを用いても実現できる。上記第3～第5の実施例においては、活性層は単一量子井戸構造としたが、これを多重量子井戸構造としても勿論よい。また、p型の半導体基板を用いて実施例におけるクラッド層や光ガイド層などの導電型を全て逆にしてもよい。

【0038】

【発明の効果】本発明による半導体結晶のエピタキシャル成長方法は、所定方向へ所定の角度のオフオリエンテーションを有する(100)面をもつ半導体基板上に、ステップ・フロー・モードでエピタキシャル層を形成するものであるため、エピタキシャル成長された結晶

9

構造を基板のそれに揃えることができ、結晶成長層に導入される結晶欠陥を大幅に低減化することができる。したがって、この方法により作製された結晶成長基板を用いて形成された発光ダイオードや半導体レーザにおいては大幅な長寿命化が実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための結晶成長基板の断面図。

【図2】本発明の第2の実施例を説明するための結晶成長基板の断面図。

【図3】本発明の第3の実施例を説明するための緑青色半導体レーザの断面図。

【図4】本発明の第4の実施例を説明するための緑青色半導体レーザの断面図。

【図5】本発明の第5の実施例を説明するための緑青色半導体レーザの断面図。

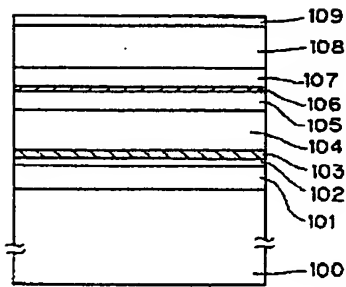
【符号の説明】

100 [111] B方向へ5° オフしたSiドープGaAs (100) 基板
 101 アンダーブGaAsバッファ層
 102 アンダーブZnSeバッファ層
 103 アンダーブZnS_{0.06}Se_{0.94}バッファ層
 104 アンダーブZnMgSSe層
 105 アンダーブZnS_{0.06}Se_{0.94}層
 106 アンダーブZn_{0.8}Cd_{0.2}Se単一量子井戸層
 107 アンダーブZnS_{0.06}Se_{0.94}層
 108 アンダーブZnMgSSe層
 109 アンダーブZnSe層
 200 [111] B方向へ4° オフしたSドープInP (100) 基板
 201 アンダーブInPバッファ層
 202 アンダーブMgSeバッファ層
 203 アンダーブZnCdSeバッファ層
 204 アンダーブZnMgSeTe層
 205 アンダーブZnMgSeTe単一量子井戸層
 206 アンダーブZnMgSeTe層
 300 [111] B方向へ5° オフしたSiドープGaAs (100) 基板

10

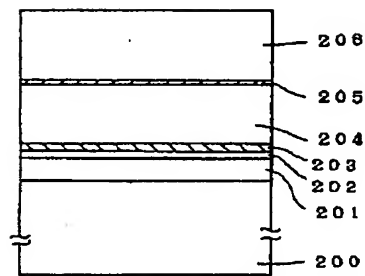
301 n型GaAsバッファ層
 302 アンダーブZnSeバッファ層
 303 n型ZnS_{0.06}Se_{0.94}バッファ層
 304 n型ZnMgSSeクラッド層
 305 n型ZnSSe光ガイド層
 306 アンダーブZnCdSe活性層
 307 p型ZnSSe光ガイド層
 308 p型ZnMgSSeクラッド層
 309 p型コンタクト層
 10 310 絶縁膜
 311 p側電極
 312 n側電極
 400 [111] B方向へ10° オフしたSiドープGaAs (100) 基板
 401 n型GaAsバッファ層
 402 アンダーブZnSeバッファ層
 403 n型ZnS_{0.06}Se_{0.94}バッファ層
 404 n型ZnCdSSeクラッド層
 405 n型ZnSSe電子バリア層
 20 406 n型ZnCdSSe電子蓄積層
 407 アンダーブZnCdSe活性層
 408 p型ZnSSeホール蓄積層
 409 p型ZnCdSSeクラッド層
 410 p型コンタクト層
 411 絶縁膜
 412 p側電極
 413 n側電極
 500 [111] B方向へ4° オフしたSnドープInP (100) 基板
 30 501 n型InPバッファ層
 502 アンダーブMgSeバッファ層
 503 n型ZnCdSeバッファ層
 504 n型ZnMgSeTeクラッド層
 505 アンダーブZnMgSeTe活性層
 506 p型ZnMgSeTeクラッド層
 507 p型ZnMgSeTeコンタクト層
 508 絶縁膜
 509 p側電極
 510 n側電極

【図1】



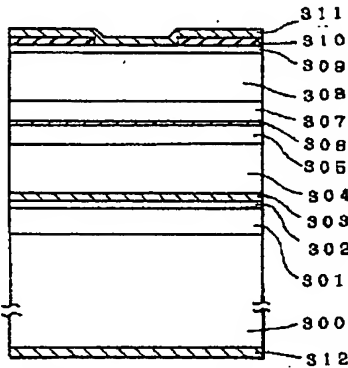
- 100: [111] B方向へ5° オフしたSiドープGaAs (100) 基板
 101: アンダーブGaNパッファ層
 102: アンダーブZnSeパッファ層
 103: アンダーブZnS_{0.99}Se_{0.01}パッファ層
 104: アンダーブZnMgSSe層
 105: アンダーブZnS_{0.99}Se_{0.01}層
 106: アンダーブZn_{0.9}Cd_{0.1}Se単一量子井戸層
 107: アンダーブZnS_{0.99}Se_{0.01}層
 108: アンダーブZnMgSSe層
 109: アンダーブZnSe層

【図2】



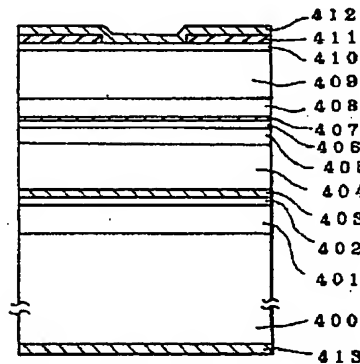
- 200: [111] B方向へ4° オフしたSドープInP (100) 基板
 201: アンダーブInPパッファ層
 202: アンダーブMgSeパッファ層
 203: アンダーブZnCdSeパッファ層
 204: アンダーブZnMgSeTe層
 205: アンダーブZnMgSeTe単一量子井戸層
 206: アンダーブZnMgSeTe層

【図3】



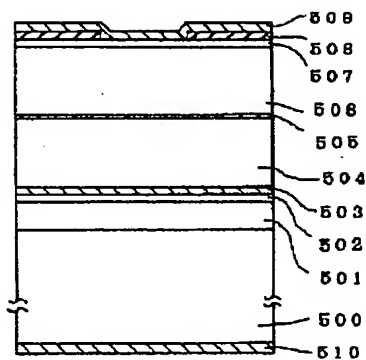
- 300: [111] B方向へ5° オフしたSiドープGaAs (100) 基板
 301: n型GaAsパッファ層
 302: アンダーブZnSeパッファ層
 303: n型ZnS_{0.99}Se_{0.01}パッファ層
 304: n型ZnMgSSeクラッド層
 305: n型ZnSSe光ガイド層
 306: アンダーブZnCdSe活性層
 307: p型ZnSSe光ガイド層
 308: p型ZnMgSSeクラッド層
 309: p型コンタクト層
 310: 絶縁膜
 311: p側電極
 312: n側電極

【図4】



- 400: [111] B方向へ10° オフしたSiドープGaAs (100) 基板
 401: n型GaAsパッファ層
 402: アンダーブZnSeパッファ層
 403: n型ZnS_{0.99}Se_{0.01}パッファ層
 404: n型ZnCdSSeクラッド層
 405: n型ZnSSe電子バリア層
 406: n型ZnCdSSe電子蓄積層
 407: アンダーブZnCdSe活性層
 408: p型ZnSSeホール蓄積層
 409: p型ZnCdSSeクラッド層
 410: p型コンタクト層
 411: 絶縁膜
 412: p側電極
 413: n側電極

【図5】



- 500: [111] B方向へ4° オフしたSnドープInP(100)基板
 501: n型InPバッファ層
 502: アンドープMgSeバッファ層
 503: n型ZnCdSeバッファ層
 504: n型ZnMgSeTeクラッド層
 505: アンドープZnMgSeTe活性層
 506: p型ZnMgSeTeクラッド層
 507: p型ZnMgSeTeコンタクト層
 508: 絶縁膜
 509: p側電極
 510: n側電極

フロントページの続き

(51) Int. Cl. 6

H01S 3/18

識別記号

庁内整理番号

F I

技術表示箇所